Арифметико-логические устройства

Основными арифметическими операциями являются сложение и вычитание. Разработаны коды дополнительный и обратный, которые позволяют выполнять операцию вычитания методом суммирования. Для выполнения операции вычитания, при использовании дополнительного кода, вычитаемое следует перевести в дополнительный код и просуммировать с первым слагаемым. Полученный результат (разность) будет представлен в дополнительном коде. Затем его следует перевести в прямой код.

Прямой и дополнительный код положительных чисел совпадают. При преобразовании отрицательного числа в дополнительный код все разряды прямого кода следует проинвертировать и к младшему разряду добавить единицу. При обратном преобразовании дополнительного кода в прямой результат следует также проинвертировать и к младшему разряду добавить единицу.

Таким образом, выполнение операции вычитания методом суммирования требует дополнительных затрат времени и снижает быстродействие вычислительных средств.

Для повышения быстродействия ЭВМ разработаны и используются комбинированные арифметико-логические устройства, которые обеспечивают выполнение ряда арифметических и логических операций над прямыми кодами чисел без их преобразования.

Методика построения одноразрядного арифметического устройства для выполнения операций суммирования и вычитания показана на рисунке 25. Из сравнения логических выражений операций суммирования (Рисунок 25 а) и вычитания (Рисунок 25, б) следует, что выражения для суммы и разности совпадают, а выражение для заёма является частью операции суммирования или вычитания



Рисунок 25 Таблицы истинности и структурные формулы операции суммирования а), вычитания б) и схема одноразрядного АЛУ в).

Таким образом, для выполнения операции вычитания не требуется получение дополнительных сигналов, поэтому и не требуются дополнительные аппаратные затраты. Необходимо лишь обеспечить коммутацию сигналов переноса и заёма в соответствии с кодом операции.

На рисунке 25, в) приведена схема простейшего АЛУ, на которой роль устройства управления выполняют два клапана, управляемые разнополярными сигналами от управляющего напряжения U. Эта часть схемы на рисунке 25,в выделена пунктирной линией. ПриU=0 выполняется операция вычитания, а приU=1 – операция суммирования.

Многоразрядные АЛУ выпускаются в виде интегральных микросхем или

входят в состав процессоров, являясь их основой.

МС 564ИП3 (Рисунок 26,а) – это 4-разрядное параллельное АЛУ, выполняющая 16 арифметических и 16 логических операций. 

Рисунок 26 Схема 4-разрядного АЛУ 564ИП3 а) и схема ускоренного переноса 564ИП4 б).

А(*а0 – а3*) – первый операнд,

В(b0 –b3) – второй операнд,S(s0 –s3) – код операции 4 разряда. Если М=0, то выполняются арифметические операции: 24=16, при М=1 выполняются логические операции: 24=16. Итого 16 + 16 = 32 операции.F(f0 –f3) – результат операции. На выходе А=В появляется «1», если при выполнении операции вычитания результат операции будет равен «0», то есть А=В. Поскольку АЛУ параллельного типа, то имеются выходы генерацииGи распространения переносаH.- входной и выходной переносы.

Для увеличения разрядности обрабатываемых слов МС АЛУ можно соединять последовательно, как и в параллельных сумматорах с последовательным переносом. При этом конечно увеличивается время выполнения операций.

Уменьшить это время и, следовательно, увеличить быстродействие АЛУ можно применением схемы ускоренного переноса 564ИП4 Рисунок 26, б). Используя четыре МС АЛУ и одну МС ускоренного переноса можно получить 16 – разрядное полностью параллельное АЛУ, время суммирования которого равно времени суммирования одной микросхемы.